

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Patent Abstracts of Japan

PUBLICATION NUMBER : JP62118528
 PUBLICATION DATE : 29-05-87
 APPLICATION NUMBER : JP850258974
 APPLICATION DATE : 19-11-85

VOL: 11 NO: 338 (E - 553)
 AB. DATE : 05-11-1987 PAT: A 62118528
 PATENTEE : MATSUSHITA ELECTRONICS CORP
 PATENT DATE: 29-05-1987

INVENTOR : FURUTA KOJI; others: 01

INT.CL. : H01L21/304; H01L21/316

TITLE : PROCESSING OF SEMICONDUCTOR
 DEVICE

ABSTRACT : PURPOSE: To enable even drying up process to be performed while cutting water film evenly from the end of a wafer by a method wherein, in the cleaning process before sir-knife drying process, an oxide film is formed by chemical processing on an exposed substrate surface to be etched while leaving the oxide film.
 CONSTITUTION: When an MOS capacitor is formed, a LOCOS (SiO₂) separating the capacitor and a pattern on an exposed Si substrate surface to be a capacitor coexist together on one main surface of a wafer. This wafer is cleaned up for the minutes in a cleaning solution with mixing ratio of e.g. NH₄OH:H₂O₂:H₂O=1:2:7. An oxide film around 1μm thick is formed on Si by this cleaning process. After sufficient washing, the oxide film is immersed in a solution with mixing ratio of e.g. H₂O:HF=500:1 to be etched by around 0.5μm leaving it by around 0.5nm. After sufficient washing, the oxide film is airknife-dried up later to form a capacitor SiO₂ and then a polysilicon electrode is formed to form an MOS capacitor.

4. 05-183151, Jul. 23, 1993, FINE PROCESSING OF **SEMICONDUCTOR**;
HITOMARO TOGO, et al., H01L 29*68; H01L 21*306; H01L 29*06; H01L 29*804;
H01S 3*18
=> d ab 4

05-183151

L9: 4 of 44

ABSTRACT:

PURPOSE:To provide a method of fine processing of a **semiconductor** for use in varieties of **semiconductor** devices wherein it is excellent in etching rate controllability and flatness of an etched surface.

CONSTITUTION:There is ensured surface orientation selective **etching** with a reduced **etching** rate and with excellent controllability by alternately and **repeatedly** dipping a **semiconductor** specimen in an **oxidizing** agent such as hydrogen peroxide and a dissolving agent such as sulfuric acid. There is achieved **semiconductor** fine processing with excellent in the flatness of an **etched** surface keeping a mesa configuration by polishing the **etched** surface contaminated with a uniform **etching** solution of a reduced **etching** rate containing a large quantity of a buffering agent such as water after subjecting the **semiconductor** specimen to the surface orientation selective **etching**.

=>

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/68		7377-4M		
21/306	B	7342-4M		
29/06		7377-4M		
29/804		7739-4M		
			H 0 1 L 29/80	A
審査請求 未請求 請求項の数3(全4頁) 最終頁に続く				

(21) 出願番号 特願平3-346675

(22) 出願日 平成3年(1991)12月27日

(71) 出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 東 郷 仁 彦

神奈川県川崎市多摩区東三田3丁目10番1号 松下技研株式会社内

(72) 発明者 若 林 信 一

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72) 発明者 大 木 芳 正

神奈川県川崎市多摩区東三田3丁目10番1号 松下技研株式会社内

(74) 代理人 弁理士 庭合 正博

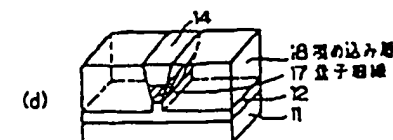
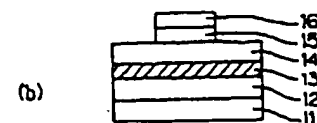
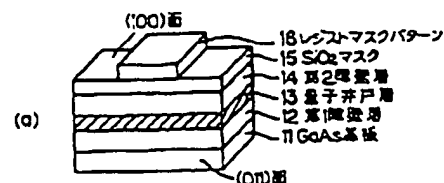
最終頁に続く

(54) 【発明の名称】 半導体の微細加工方法

(57) 【要約】

【目的】 各種半導体装置に利用される半導体の微細加工方法に関するもので、エッチングレートの制御性とエッチング表面の平坦性に優れた半導体微細加工方法を提供すること。

【構成】 半導体試料を過酸化水素などの酸化剤と硫酸などの溶解剤に交互に繰り返し浸すことにより、エッチングレートが小さくて制御性のよい面方位選択性エッチングが可能となる。また半導体試料を面方位選択性エッチングしたのち、水などの緩衝剤を多量に含むエッチングレートの小さい等方性エッチング溶液で荒れたエッチング表面を研磨することにより、メサ形状を保ちエッチング表面の平坦性がよい半導体微細加工が実現できる。



【特許請求の範囲】

【請求項1】 半導体試料を酸化剤またはこれを主成分とするエッチング溶液に浸す工程と、この半導体試料を溶解剤またはこれを主成分とするエッチング溶液に浸す工程とを交互に繰り返す工程を備えた半導体の微細加工方法。

【請求項2】 半導体試料を面方位選択性エッチング溶液に浸す工程と、この半導体試料を緩衝剤を多量に含む等方性エッチング溶液に浸す工程とを備えた半導体の微細加工方法。

【請求項3】 面方位選択性エッチング溶液に浸す工程が半導体試料を酸化剤またはこれを主成分とするエッチング溶液に浸す工程とこの半導体試料を溶解剤またはこれを主成分とするエッチング溶液に浸す工程とを交互に繰り返す工程を備えた請求項2記載の半導体の微細加工方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置に利用される半導体の微細加工方法に関するものである。

【0002】

【従来の技術】 近年、半導体レーザやFET素子などの半導体装置の高性能化に対する要請から、量子細線や量子箱などの半導体微細加工技術が注目されている。

【0003】 半導体加工方法の中で最もよく用いられるものとして、フォトリソグラフィまたは電子ビームリソグラフィにより作製したパターンを用いてウェットケミカルエッチングによりエッチングする方法がある。従来用いられていたエッチング溶液としては、過酸化水素などの酸化剤と弗酸や硫酸などの溶解剤に水などの緩衝剤を混ぜたものが使われ、結晶の面方位選択性を用いてメサ形状を利用した微細加工を行っていた（関連文献アプライドフィジクスレターズ（Applied Physics Letters）1989年54巻188ページ）。

【0004】

【発明が解決しようとする課題】 しかしながら、上記従来のエッチング方法では、エッチングの制御性が悪く、エッチングレートを小さくするためにエッチング液を稀めると面方位選択性がなくなり、またエッチングする試料の膜厚の強さによってもエッチングレートにばらつきも見られ、0.1 μ m以下の微細加工には限界があった。また、従来の面方位選択性エッチングは、エッチング表面の平坦性が悪いという問題があった。

【0005】 本発明は、このような従来の問題を解決するものであり、その主たる目的は、より微細加工が可能な半導体の微細加工方法を提供することである。

【0006】 本発明の他の目的は、エッチングの制御性とエッチング表面の平坦性に優れた半導体の微細加工方法を提供することである。

【0007】

【課題を解決する手段】 上記目的を達成するために、本発明は、半導体試料を酸化剤またはこれを主成分とするエッチング溶液に浸す工程と、この半導体試料を溶解剤またはこれを主成分とするエッチング溶液に浸す工程とを交互に繰り返す工程を備えたものである。

【0008】 本発明はまた、半導体試料を面方位選択性エッチング溶液に浸す工程とこの半導体試料を緩衝剤を多量に含む等方性エッチング溶液に浸す工程とを備えたものである。

10 【0009】

【作用】 したがって、本発明は、酸化剤と溶解剤のエッチング溶液を交互に繰り返して用いることにより、エッチングレートが小さくて制御性がよく、面方位選択性のある微細な加工が可能になる。

【0010】 また本発明は、面方位選択性エッチングを行なったのち、表面の研磨効果のある緩衝剤の多いエッチング溶液を用いた等方性エッチングを行なうことにより、エッチング表面が平坦なメサ形状が得られる微細加工が可能になる。

20 【0011】

【実施例】 以下、本発明の実施例について、図面を参照しながら説明する。図1は本発明の第1の実施例における半導体微細加工方法を用いた半導体量子細線の作製方法の工程図である。図1において、11はGaAs基板、12はAlGaAsからなる第1障壁層、13はGaAsからなる量子井戸層、14はAlGaAsからなる第2障壁層、15はSiO₂マスク、16はレジストマスクパターンである。

【0012】 次に、図1に従って作製方法を説明する。

図1の(a)に示すように、GaAs基板11の(100)面上に第1障壁層12と量子井戸層13と第2障壁層14からなる積層構造を形成したのち、SiO₂マスク15を堆積し、次にSiO₂マスク15上に電子ビーム露光により、GaAs基板11の[011]面方向に平行に細線パターンであるレジストマスクパターン16を形成する。次に図1の(b)に示すように、このレジストマスクパターン16を弗酸系エッチング溶液を用いてSiO₂マスク15に転写する。次に図1の(c)に示すように、SiO₂マスク15を用いて、硫酸と過酸化水素と水からなる面方位選択性エッチング溶液により、量子井戸層13が存在する深さまで逆メサ形状にエッチングをする。次に酸化剤である過酸化水素またはこれを主成分とするエッチング溶液と溶解剤である硫酸またはこれを主成分とするエッチング溶液とに交互に繰り返してエッチング工程により細線の幅をさらに細くする。そして、図1の(d)に示すように、SiO₂マスク15を除去したのち、第1障壁層12の上に埋め込み層18を第2障壁層14の高さまで結晶成長させて、量子細線17を得る。

50 【0013】 このように、上記第1の実施例によれば、

酸化剤と溶解剤のエッチング溶液を交互に繰り返し用いることにより、エッチングレートが小さくて制御性がよく、面方位選択性のある微細な加工が可能になる。

【0014】次に、本発明の第2の実施例について、同様に図1を参照して説明する。まず図1の(a)に示すように、GaAs基板11の(100)面上に第1障壁層12と量子井戸層13と第2障壁層14からなる積層構造を形成したのち、SiO₂マスク15を堆積し、次にSiO₂マスク15上に電子ビーム露光により、GaAs基板11の[011]面方向に平行に細線パターンであるレジストマスクパターン16を形成する。次に図1の(b)に示すように、このレジストマスクパターン16を弗酸系エッチング溶液を用いてSiO₂マスク15に転写する。次に図1の(c)に示すように、SiO₂マスク15を用いて、硫酸と過酸化水素と水からなる面方位選択性エッチング溶液により、量子井戸層が存在する深さまで逆メサ形状にエッチングをする。次に酸化剤である過酸化水素またはこれを主成分とするエッチング溶液と溶解剤である硫酸またはこれを主成分とするエッチング溶液とに交互に繰り返し投与するエッチング工程により細線の幅をさらに細くする。次に過酸化水素(濃度30%)と硫酸(濃度100%)と緩衝剤である水の混合比を1:1:50にした緩衝剤を多量に含む等方性エッチング溶液を用いてエッチング表面を研磨効果により平坦にする。そして、図1の(d)に示すように、SiO₂マスク15を除去したのち、第1障壁層12の上に埋め込み層18を第2障壁層14の高さまで結晶成長させて、量子細線17を得る。

【0015】このように、上記第2の実施例によれば、面方位選択性エッチングを行なったのち、表面の研磨効果のある緩衝剤の多いエッチング溶液を用いた等方性エッチングを行なうことにより、エッチング表面が平坦なメサ形状が得られる微細加工が可能になる。

【0016】

【発明の効果】以上のように、本発明は、酸化剤と溶解剤のエッチング溶液を交互に繰り返し用いることにより、エッチングレートが小さくて制御性がよく、面方位選択性のある微細な加工が可能になる。

【0017】本発明はまた、面方位選択性エッチングを行なったのち、表面の研磨効果のある緩衝剤の多いエッチング溶液を用いた等方性エッチングを行なうことにより、エッチング表面が平坦なメサ形状が得られる微細加工が可能になる。

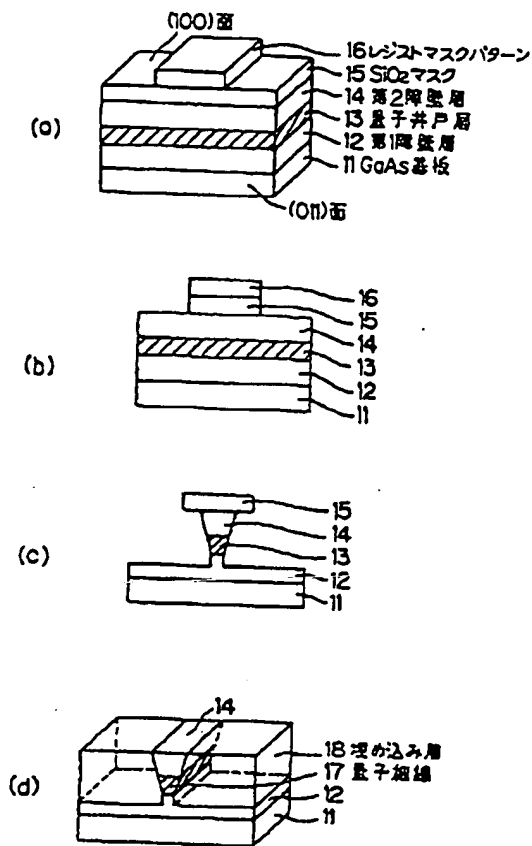
【図面の簡単な説明】

【図1】本発明の第1および第2の実施例における半導体量子細線の作製方法を説明するための模式図

【符号の説明】

- 11 GaAs基板
- 12 第1障壁層
- 13 量子井戸層
- 14 第2障壁層
- 15 SiO₂マスク
- 16 レジストマスクパターン
- 17 量子細線
- 18 埋め込み層

【図1】



フロントページの続き

(51) Int. Cl.⁵
H01S 3/18

識別記号 庁内整理番号
9170-4M

F I

技術表示箇所

(72) 発明者 豊田 幸雄
大阪府門真市大字門真1006番地 松下電器
産業株式会社内